

55-24420

Feb. 21, 1980

INSULATED GATE TYPE FILED EFFECT TRANSISTOR

INVENTOR: KAZUMASA ONODERA, et al. (1)

ASSIGNEE: CHO LSI GIJUTSU KENKYU KUMIAI /

APPL NO: 53-96670

DATE FILED: Aug. 10, 1978

PATENT ABSTRACTS OF JAPAN

ABS GRP NO: E007

ABS VOL NO: Vol. 4, No.-52

ABS PUB DATE: Apr. 18, 1980

INT-CL: H01L 29/78; H01L 29/08; H01L 29/62

ABSTRACT:

PURPOSE: To obtain such device as is minute and free from junction leak current by forming a source and a drain with gate metal capable of resisting high temperatures and oxidizing the periphery, which are changeable in thickness in two steps through self-matching.

CONSTITUTION: A W-film 24 is formed on a gate oxidized film 23. Next, a photoresist 26 is provided and a mask 27 is given which is stepped by selective exposure. The resist 26 is etched to leave a resist 33 on a W-film 30 and after the W-film 30 is etched with the mask 33, a gate electrode 36 covered with an insulating film 35 is formed through anodic oxidation. Next, a stepped source and drain are provided by ion injection, and an elimination of defective crystals and a positioning of the gate electrode end and the shallow junction end are carried out through heat treatment. Next, Al wiring layer 39 is formed, which is not short-circuited with the gate electrode for its being insulated. Finally Si.sub.3N.sub.4 40 is grown to completion at low temperatures. According to this constitution, even short channels are not punched through and a junction leak does not result from short circuit between the external wiring and the substrate, thus securing such memory as is miniaturized and lasts long.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭55—24420

⑫ Int. Cl.<sup>3</sup>

H 01 L 29/78

識別記号

庁内整理番号

6603—5F

6603—5F

7514—5F

7638—5F

⑬ 公開 昭和55年(1980)2月21日

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 絶縁ゲート型電界効果トランジスタ

川崎市高津区宮崎4丁目1番1

号超エル・エス・アイ技術研究

組合分

⑮ 特 願 昭53—96670

⑯ 出 願 昭53(1978)8月10日

⑰ 出 願 人 超エル・エス・アイ技術研究組

合

川崎市高津区宮崎4丁目1番1

号

⑱ 発 明 者 小野寺和正

川崎市高津区宮崎4丁目1番1

号超エル・エス・アイ技術研究

組合内

⑲ 代 理 人 弁理士 芦田坦 外2名

⑳ 発 明 者 清水京造

明 細 書

1. 発明の名称

絶縁ゲート型電界効果トランジスタ

2. 特許請求の範囲

半導体基板と、高融点金属から成り、上面および両側面が前記高融点金属の酸化膜で覆われ、下面がゲート酸化膜を介して前記半導体基板上に積して形成されたゲート電極と、前記半導体基板の前記ゲート電極の両側下部に相対して形成され、そのおのが浅い接合部と深い接合部を有するソースおよびドレイン拡散領域とを含む絶縁ゲート型電界効果トランジスタ。

3. 発明の詳細な説明

本発明は電界効果トランジスタ、特に絶縁ゲート型ならわちMOS型の電界効果トランジスタに関するものである。

従来MOS型電界効果トランジスタ及びこれを集積した集積回路においては、ゲート電極自己整合型構成においても、ソースおよびドレイン拡散領域と外部配線との接続は新たな写真蝕刻

法を用いてシリコン酸化膜に開孔部を設けて行われる。しかるに、ゲート電極部との接触を避けるため、露光目合せ余裕部(通常の場合、2-3μ)を必要とし、かつまたこの為ソース及びドレイン拡散領域の増加は必然であり、微小寸法素子及びこれを大規模に集積した回路に専有する上述の開孔部の専有率は極めて大きくなる。又従来のMOS型電界効果トランジスタにおいては、ゲートおよびドレイン拡散領域の厚さは一様であり、このため導電体との接続を容易にするために拡散領域の厚さを大にすれば、ゲート電極下に形成されるチャンネルが短くなったときにパンチスルーを生じ易くなり、反対に拡散領域の厚さを小にすれば、外部配線と基板の間の短絡による接合リーク電流が生じ易く、たとえばメモリー素子としたときに保持時間が短くなるなど、種々の問題点があつた。

したがつて本発明の目的は、前述の目合せ余裕度を維持しながら微細化が可能であり、拡散領域と外部導電体との接続が容易で而も接合リー

ト電極のないMOS型電界効果トランジスタを得ようとするものである。

本発明の素子においては、上記の目的を達するため、ソースおよびドレイン拡散領域はその厚さが2段となっており、またその上面から見た形状がゲート電極に自己整合しており、又前記の2段の厚さの形成にイオン注入法の使用を可能ならしめるために高温に耐え、而も周囲を酸化し得るゲート金属を用いたものである。

すなわち本発明によれば、半導体基板と、高融点金属から成り、上面および側面が前記高融点金属の酸化膜で覆われ、下面がゲート酸化膜を介して前記半導体基板上に蓋して形成されたゲート電極と、前記半導体基板の前記ゲート電極の両側下部に相対して形成され、そのおのが浅い接合部と深い接合部を有するソースおよびドレイン拡散領域とを含む絶縁ゲート型電界効果トランジスタが得られる。

次に図面を用いて更に詳細な説明を行なう。

第1図は従来のMOS型電界効果トランジスタ

の断面を示す図である。半導体基板1上に形成されたゲート酸化膜2はゲート電極3によつて被覆される。このゲート電極は多結晶シリコン、Al等が一般的に用いられている。そしてこのゲート電極3に自己整合された形でソース拡散領域4及びドレイン拡散領域5が形成され、更に $SiO_2$ 膜6にけられた開孔部7を通して外部配線8と接続される。しかし前記の開孔部7を写真蝕刻法によつて開孔させるとき、露光機の日合せ精度を考慮すれば、開孔部7の周囲の $SiO_2$ 膜6が拡散領域4および5に接する横方向広がりとして2~3 $\mu m$ 必要である。従つて、開孔部7の横方向広がりを2 $\mu m$ としたとき、ソースおよびドレイン拡散領域の横方向広がりとしてほぼ6~8 $\mu m$ 必要である。なお、図中の9はフィールド酸化膜である。

第2図は本発明によるMOS電界効果トランジスタの断面を示した図である。この図において第1図と実質的に同じ構成要素には同じ参照数字を付してある。第2図において、半導体基板

1上にゲート酸化膜2を介して配置したゲート電極11は、その上面及び側面が当該ゲート金属の酸化物である絶縁膜12によつて覆われている。またソース拡散領域13およびドレイン拡散領域14はいずれも浅い接合部(薄い部分)と深い接合部(厚い部分)とから成る階段状を呈し、これらのソースおよびドレイン拡散領域13と14は、ゲート電極11に対して自己整合的に相対している。更に開孔部15及び開孔部16はゲート電極11に対して自己整合となり、一義的に決定されている。なお本発明においては外部配線17、18のゲート電極11に向いた端部は、それが如何に近づいても、ゲート電極11が酸化物であるため、ゲート電極12と接触しない(第2図ではドレイン側端部が接触)。なおこの場合、ほぼゲート電極11の中心部分までが外部配線17、18の日合せ余裕度としてくり込むことができ、実質的な日合せ余裕度の増加となる。次に製造について説明する。

第3図は本発明による電界効果トランジスタを得る製法を説明するための断面図であつて、(a)、(b)、... (i)は製法の各段階における状態を示したものである。第3図(a)において、基板21にフィールド酸化膜22及びゲート酸化膜23が形成される。更にゲート酸化膜23上に、Mo、W等の高温熱処理に耐えしかも陽極酸化可能な金属被膜24を成長させる。しかるのち、基板全面にポジ型ホトレジストを塗布し、電子ビーム露光装置のクロック周波数を変換させて露光・現像した後、ほぼ初期の膜厚を維持している部分25(露光しなかつた部分)、中間領域の膜厚を維持している部分26(中間領域のドーズ量で露光したとき)、およびレジスト膜が全く存在しない下側の金属被膜24の露出した部分(膜厚率=0以上のドーズ量で露光したとき)から成る階段状のレジスト分布をもたせる。なお、この階段状分布形成のために、従来のガラスマスクの光のしゃへい物質であるクロムの膜厚を変化させて半透明膜部を導入して

もよい。この結果レジスト被膜27(25と26の合計)が残される。

次に第3図(b)に示すように、上記の階段状レジスト被膜27を用いて、前述の露出したMo等の耐熱被膜24をドライエッチング法を用いてエッチングし、3つの耐熱被膜29、30、および31を形成する。しかるのち露出しているシリコン酸化膜23をドライエッチングして、2つの外部配線開孔部32を形成する。引きつづいてドライエッチング法を用いてレジスト27の両側部26をエッチングするが、第3図(c)に示すように、厚膜部25の底部は薄膜レジスト33となつて中央のゲート金属30上に残る。更にレジスト33をマスクとして露出する耐熱金属被膜30をドライエッチングして第3図(d)に示すように34として残す。しかるのち、レジスト33をドライエッチングして第3図(e)のようになる。以上によつてゲート電極となる耐熱性金属被膜34とフィールド酸化膜22、ゲート酸化膜23とから成る構成となる。

ここで陽極酸化法を用いて当該金属被膜34を上面及びその側壁を化成して、第3図(f)に示すように絶縁膜35で被覆されたゲート電極36が得られる。

ここでイオン注入法を用いてソースとドレーンの拡散領域を形成するが、第3図(g)に示すように、ゲート酸化膜部23の露出した両側の部分の直下にはおのみの浅い接合を有し、外部配線開孔部32の下にはおのみの深い接合を有する階段状のソース拡散領域37およびドレーン拡散領域38が形成される。次いで耐熱金属である熱処理を行つてイオン注入により誘起された結晶欠陥を除去し、同時に熱処理による不純物の横方向広がりを利用してゲート電極端部と浅い接合部との相互位置の補正を行なう。次いで第3図(h)に示すようにAl等の外部配線用金属39を蒸着しパターンニングする。しかるときパターンニングの際の目合せ精度には、ゲート電極36の上面及び側壁が絶縁物35で覆われているために余裕度があり、第3図(h')の上

りに左側の外部配線用金属39がゲート電極36に延びてもゲート・ソース間の短絡の危険性はない。最後に素子特性安定化のために第3図(i)に示すように $\text{SiO}_2$ もしくは $\text{Si}_3\text{N}_4$ 膜40を低温で成長せしめて素子表面を被覆し、素子は完成する。

更に又、ソース・ドレーン拡散領域が浅い接合部と深い接合部とからなつており、而も浅い接合の部分の横方向広がりも充分あるので、ゲート電極下に形成されるチャネルが短い場合でもパシスルーが生ぜず、また外部配線と基板が短絡して接合リーク電流が生じるようなこともなくなる。したがつてたとえばメモリセル素子として用いる場合、形状が小さく而も保持時間の充分長いものが得られる。

#### 4. 図面の簡単な説明

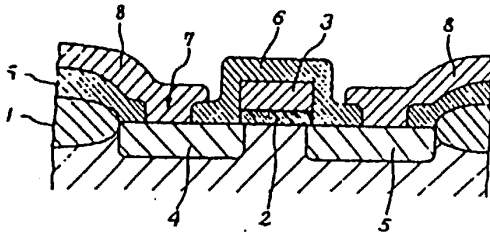
第1図は従来のMOS型電界効果トランジスタの断面図、第2図は本発明の一実施例の断面図、第3図は本発明によるMOS型電界効果トランジスタを得る製法を説明するための図で、(a)、(b)。

…(i)は製法の各段階における状態を示した断面図を示している。

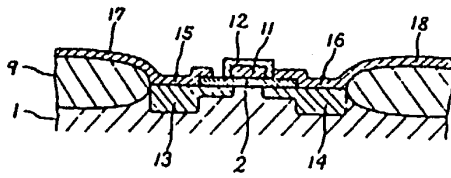
記号の説明：1は半導体基板、2はゲート酸化膜、9はフィールド酸化膜、11はゲート電極、12は酸化膜、13はソース拡散領域、14はドレーン拡散領域、17と18は外部配線をそれぞれあらわしている。

(117) カミ士 技 術 洋 行

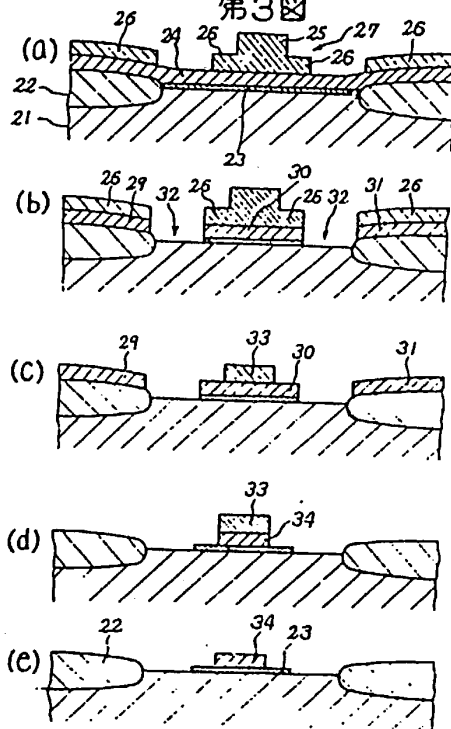
第1図



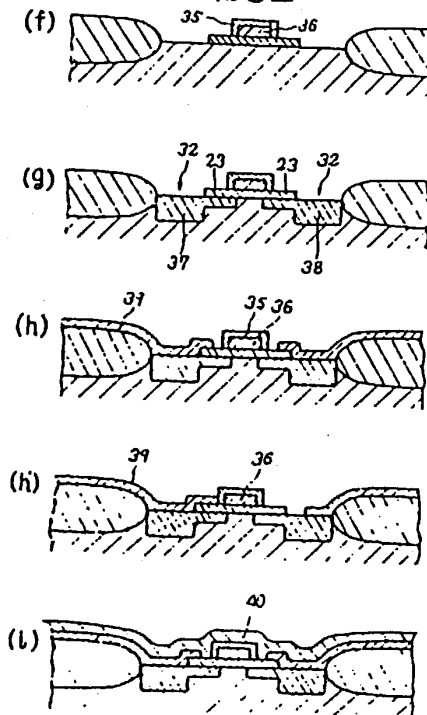
第2図



第3図



第3図



EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

H01L 29/62D P/6546a

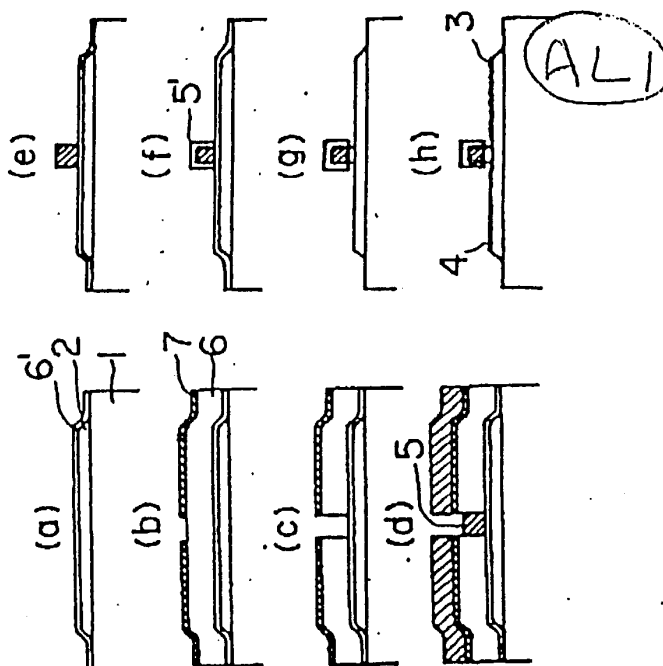
PUBLICATION NUMBER : JP57087175  
 PUBLICATION DATE : 31-05-82  
 ABSTRACT PUBLICATION DATE: 03-09-82  
 ABSTRACT VOLUME : 006170  
 APPLICATION DATE : 19-11-80  
 APPLICATION NUMBER : JP800163694  
 GROUP : E128

APPLICANT : SUMITOMO ELECTRIC IND LTD

INVENTOR : EHATA TOSHIKI

INT.CL. : H01L29/78; H01L29/52;  
 H01L29/62

TITLE : SEMICONDUCTOR DEVICE AND  
 MANUFACTURE THEREOF



ABSTRACT : PURPOSE:To obtain the IGFET with a small distance between a source and a drain electrodes by a method wherein an Al, to be turned to a Schottkii, is formed and anodic-oxidated on a substrate, the surface layer section of which is converted to Al<sub>2</sub>O<sub>3</sub>, and the width of the electrodes is narrowed by removing the Al<sub>2</sub>O<sub>3</sub> on the lower part only.  
 CONSTITUTION:A GaAs layer 2 is epitaxially grown on the semiconductor substrate 1, the necessary region only is remained by performing a mesa etching, an SiO<sub>2</sub> film 6' is grown on the surface, and above this film 6', a spacer 6 of organic high molecule film, consisting of photoresist and the like, is thickly formed. Then, a thin Ti pattern 7 is provided on the spacer 6, the spacer 6 corresponding to the section lacking the pattern 7 is removed using high frequency discharge, and a part of layer 2 is exposed. Subsequently, an Al film is coated on the whole surface, the pattern 7 is removed together with the Al film which was coated on the pattern 7, and the Al Schottkii electrode is remained on a part of the layer 2. Then, the surface of an electrode 5 is converted to an Al<sub>2</sub>O<sub>3</sub> film 5' by performing an anodic oxidization, the lower part only of the film 5' is removed by etching, and the electrode 5 with narrow width is formed. Then, source and drain electrodes 3 and 4 are expanded on the layer 2 located on both sides of the electrode 5: